특허증
CERTIFICATE OF PATENT

특 허 Patent Number	제 10-1737808 호
출원번호 Application Number	제 10-2010-0134034 호
출원일 Filing Date	2010년 12월 23일
등록일 Registration Date	2017년 05월 15일

발명의 명칭 Title of the Invention

동작 환경에 둔감한 지터 특성을 가지는 디지털 위상고정루프

특허권자 Patentee

연세대학교 산학협력단(274171-*****)**
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.

This is to certify that, in accordance with the Patent Act, a patent for the invention has been registered at the Korean Intellectual Property Office.

특허청
Korean Intellectual Property Office

2017년 05월 15일

특허청장
COMMISSIONER,
KOREAN INTELLECTUAL PROPERTY OFFICE

등 록 사 항

특 허 등록 제 10-1737808 호

Patent Number

발명자 Inventors

이승우

최광천

최우영

이범철

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월19일
(11) 등록번호 10-1737808
(24) 등록일자 2017년05월15일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) *H03L 7/081* (2006.01)
(21) 출원번호 10-2010-0134034
(22) 출원일자 2010년12월23일
심사청구일자 2015년11월20일
(65) 공개번호 10-2012-0072200
(43) 공개일자 2012년07월03일
(56) 선행기술조사문헌
JP2009021954 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
이승우

최광천
체

(뒷면에 계속)
(74) 대리인
특허법인태평양

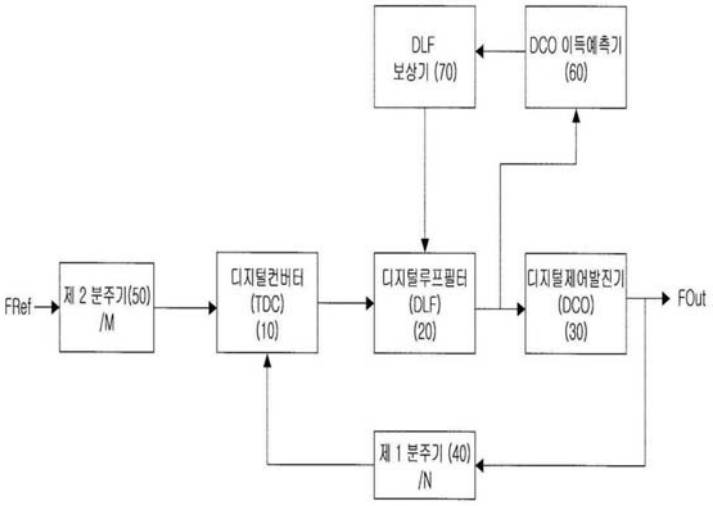
전체 청구항 수 : 총 9 항 심사관 : 박정근

(54) 발명의 명칭 **동작 환경에 둔감한 지터 특성을 가지는 디지털 위상고정루프**

(57) 요 약

본 발명은 디지털 방식의 위상고정루프(PLL) 및 그 방법에 관한 것으로서, 보다 상세하게는, 디지털컨버터(TDC)와, 디지털루프필터(DLF)와, 디지털제어발진기(DCO)를 가진 디지털 위상고정루프에 있어서, 공정, 전원전압, 온도 변화(Process, Voltage, Temperature)에 따라서 회로의 동작 조건이 달라지더라도 항상 일정한 지터(Jitter) 특성을 가지도록 설계되는 디지털 위상고정루프 및 그 방법에 관한 것이다.

대 표 도 - 도2



(72) 발명자 **이범철**

최우영

이 발명을 지원한 국가연구개발사업

과제고유번호	KI002197
부처명	지식경제부/방송통신위원회
연구관리전문기관	한국산업기술평가관리원
연구사업명	정보통신산업원천기술개발사업
연구과제명	Scalable 마이크로 플로우 처리기술개발
기 여 율	1/1
주관기관	한국전자통신연구원
연구기간	2010.03.01 ~ 2011.02.28

명 세 서

청구범위

청구항 1

디지털컨버터(TDC)와, 디지털루프필터(DLF)와, 디지털제어발진기(DCO)를 가진 디지털 위상고정루프에 있어서,

상기 디지털제어발진기의 주파수이득을 산출하는 DCO 이득예측기와, 상기 디지털루프필터의 루프필터계수를 조절하는 DLF 보상기를 포함하여 PVT 변화에 따라 동작조건이 변하는 경우에도 일정한 지터(Jitter) 특성을 갖되,

상기 디지털제어발진기는 PVT 변화에 따른 주파수이득에 영향을 주는 변수를 1 개만 가지도록 설계되고,

상기 디지털제어발진기는 다수개의 지연셀 모듈들을 직렬로 연결시킨 구조를 포함하고, 각각의 지연셀 모듈은 동일한 입력노드를 가지되 다른 지연시간을 가지는 지연셀들을 상호 병렬 연결하여 합산한 후 다음단의 지연셀 모듈로 전달하도록 구현되는 것을 특징으로 하는 디지털 위상고정루프.

청구항 2

제 1 항에 있어서,

상기 DCO 이득예측기의 주파수이득의 산출은, 상기 디지털컨버터의 해상도와 분주 계수에 기초하여 루프필터계수를 초기화시키고, 위상고정루프가 고정될 때까지 기다린 후 발진주파수가 고정되고 디지털코드값이 상기 발진주파수에 해당하는 디지털 코드값으로 고정이 되면, 상기 고정된 디지털코드값을 토대로 주파수이득을 산출하는 것을 특징으로 하는 디지털 위상고정루프.

청구항 3

제 1 항에 있어서,

상기 DLF 보상기는, 상기 DCO 이득예측기에 의하여 상기 디지털제어발진기의 주파수이득이 산출되면, 예상하였던 주파수 이득과의 차이를 계산하여 루프필터계수를 조절하여 디지털제어발진기의 특성 변화에 의한 루프-다이나믹스 변화를 보상하여 상기 디지털루프필터의 루프필터계수를 조절하는 것을 특징으로 하는 디지털 위상고정루프.

청구항 4

제 1 항에 있어서,

상기 DCO 이득예측기와 DLF 보상기가 상기 주파수이득의 산출과 루프필터계수의 조절에 의한 루프-다이나믹스 변화의 보상을 일정한 주기로 반복 수행하여, PVT 변화가 달라지더라도 항상 일정한 루프-다이나믹스를 가지도록 하는 것을 특징으로 하는 디지털 위상고정루프.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 DCO 이득예측기는 상기 디지털제어발진기의 주파수이득을 산출하기 위하여, 상기 디지털제어발진기의 상호 병렬 연결된 지연셀들의 합산시, 각각의 지연셀 모듈은 보간기 회로를 이용하여 지연셀의 병렬 연결된 양측 지연셀들의 경로상의 가중치를 상호 달리하여 합산하는 것을 특징으로 하는 디지털 위상고정루프.

청구항 7

제 6 항에 있어서,

상기 보간기 회로는 두 개의 차동 입력 전류원에 대하여 전압 이득이 조절되는 것을 특징으로 하는 디지털 위상

고정루프.

청구항 8

디지털컨버터와, 디지털루프필터와, 디지털제어발진기를 포함하는 디지털 위상고정루프가 동작 환경에 둔감한 지터 특성을 가지도록 하는 방법에 있어서,

상기 디지털제어발진기는 PVT 변화에 따른 주파수이득에 영향을 주는 변수를 1 개만 가지도록 설계하는 단계;

상기 디지털제어발진기의 주파수이득을 산출하는 단계; 및

상기 디지털루프필터의 루프필터계수를 조절하는 단계를 포함하고,

상기 디지털제어발진기의 주파수이득을 산출하는 단계는, 상기 디지털컨버터의 해상도와 분주 계수에 기초하여 루프필터계수를 초기화시키고, 위상고정루프가 고정될 때까지 기다린 후 발진주파수가 고정되고 디지털코드값이 상기 발진주파수에 해당하는 디지털 코드값으로 고정이 되면, 상기 고정된 디지털코드값을 토대로 주파수이득을 산출하는 것을 특징으로 하는 디지털 위상고정루프의 구동 방법.

청구항 9

삭제

청구항 10

제 8 항에 있어서,

상기 디지털루프필터의 루프필터계수를 조절하는 단계는, 상기 디지털제어발진기의 주파수이득이 산출되면, 예상하였던 주파수 이득과의 차이를 계산하여 루프필터계수를 조절하여 디지털제어발진기의 특성 변화에 의한 루프-다이나믹스 변화를 보상하여 상기 디지털루프필터의 루프필터계수를 조절하는 것을 특징으로 하는 디지털 위상고정루프의 구동 방법.

청구항 11

제 8 항에 있어서,

상기 디지털제어발진기의 주파수이득을 산출하는 단계 및 상기 디지털루프필터의 루프필터계수를 조절하는 단계는 일정한 주기로 반복적으로 수행되는 것을 특징으로 하는 디지털 위상고정루프의 구동 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 디지털 방식의 위상 고정 루프(PLL)에 관한 것으로서, 보다 상세하게는, 공정, 전원전압, 온도 변화(Process, Voltage, Temperature, 이하, 약칭하여 'PVT 변화'라 함)에 따라서 회로의 동작 조건이 달라지더라도 항상 일정한 지터(Jitter) 특성을 가지도록 설계되는 디지털 위상고정루프에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 위상고정루프(Phase Locked Loop, 주로 'PLL' 이라 약칭함)이란 기준이 되는 주파수 신호를 외부로부터 입력받고, 자체적으로 생성되어 출력되는 주파수 신호를 부궤환(Negative Feedback) 루프를 통하여 입력받아, 입력된 2 개의 주파수 신호가 동일 주파수이면서 동일 위상(phase) 또는 동일 주파수이면서 동일한 위상차(phase difference)가 최소가 되는 신호를 출력하도록 제어하는 회로이다. 이러한 위상고정루프는 클럭신호 생성이나 복구, 주파수 변조, 복조, 합성 및 체배 등과 같이 통신시스템이나 디지털 장비에서 널리 사용된다.

[0003] 상기와 같은 위상고정루프(PLL)로부터 출력되는 클럭 또는 주파수 파형은 위상이 일정하지 못하게 되는 현상이 발생하는데, 이러한 현상을 지터(Jitter)라고 한다.

[0004] 지터의 발생 원인은 여러 가지가 있는데, 위상고정루프를 이루는 회로 내부의 잡음에 의해서 발생하는 것과, 위상고정루프의 입력으로 들어오는 기준 주파수 파형 자체가 가지고 있는 지터가 출력 주파수 파형에 그대로 반영되는 것이 있다.

[0005] 일반적으로, 위상고정루프는 입력 위상에 대해서 저역통과필터 특성을 가지고 있기 때문에 입력 지터 중 고주파 성분은 감쇠되는 효과를 내는데, 이를 입력 지터 상쇄 기능(Input Jitter Reduction)이라고 한다. 그러나 입력 지터 중 특정 주파수 성분은 오히려 더 증폭되는데, 이는 위상고정루프의 부궤환 안정성을 유지하기 위해서 불가결하게 나타나는 현상이며, 이를 지터 피킹(Jitter Peaking)현상이라고 한다. 이런 지터 특성은 위상고정루프의 입력 위상이 출력 위상으로 전달되는 과정에서 주파수에 따른 위상 이득, 즉 위상고정루프의 전달 함수(Transfer Function)에 의해서 결정된다.

[0006] 전달 함수의 대역폭이 작으면 더 많은 입력 지터를 상쇄시킬 수 있지만, 반대로 전달 함수의 대역폭이 크면 위상고정루프의 회로 내부의 잡음에 의해서 발생하는 저주파 지터를 더 잘 상쇄시키게 된다. 또한 전달 함수의 대역폭 근처 주파수에서는 이득이 1 이상이 되어 입력 지터가 증폭되는데, 이 이득이 작을수록 지터 피킹 현상이 줄어든다. 따라서 위상고정루프의 전달 함수를 응용분야에 따라 최적화시키는 것은 매우 중요하며, 특히 광 통신과 오디오, USB 통신 등 지터가 중요한 응용 분야에서 그 중요성이 더욱 대두된다.

[0007] 이때, 아날로그 방식의 위상고정루프일 경우 상기 지터의 특성은 차지-펌프(Charge Pump)의 전류량, 루프 필터(Loop Filter)의 특성, 전압제어발진기(VCO)의 주파수 이득(Hz/V) 등에 따라서 결정되고, 이러한 루프 필터의 특성이나 전압제어발진기의 주파수이득 특성은 PVT 변화에 따라서 민감하게 변동되기 때문에 위상고정루프의 지터 특성을 설계자가 원하는 대로 정확하게 구현하기가 용이하지 않다.

[0008] 그러므로, 근래 CMOS 공정 기술이 발달하면서 위상고정루프를 디지털 로직 회로를 이용하여 구현하는 디지털 위상고정루프(Digital phase locked loop)이 개발되었는데, 이러한 디지털 위상고정루프의 일반적인 구조를 도 1에 도시하였다.

[0009] 도시된 바와 같이, 디지털 위상고정루프는 일반적으로 TDC, DLF, DCO 로 이루어져 있으며, 상기 TDC(Time-to-Digital Converter)는 입력으로 들어오는 두 클럭 사이의 위상 차이에 비례한 값을 가지는 디지털 신호를 출력하는 블록이며, 아날로그 방식의 위상고정루프상의 위상검출기(Phase Detector)와 같은 기능을 수행한다.

[0010] 상기 DLF(Digital Loop Filter)는 입력과 출력 신호 모두가 디지털 신호이며, 아날로그 방식의 위상고정루프의 루프 필터(Loop Filter)와 같은 저대역 통과 필터 역할을 디지털 로직을 이용해 구현한 것이다.

[0011] 또한, 아날로그 방식의 위상고정루프에서는 루프 필터의 출력 전압에 따라서 발진 주파수를 달리하는 전압제어발진기(VCO)가 사용된 것에 비하여, 디지털 방식의 위상고정루프는 상기 DLF 의 출력으로 나오는 디지털 신호에 따라서 발진주파수가 변경되는 디지털제어발진기(Digital Controlled Oscillator, DCO)가 사용된다.

[0012] 이때, 도시된 바와 같이 디지털 방식의 위상고정루프도 아날로그 방식의 위상고정루프와 같은 구조의 궤환 회로를 가지기 때문에, 아날로그 위상 고정 루프에서 지터 특성이 Ip(차지 펌프의 전류량), Kvco(전압제어발진기의 주파수이득), C_{LPF} (루프필터의 캐패시터 값), R_{LPF}(루프필터의 저항값)에 의해서 수식적으로 정해질 수 있듯이, 디지털 방식의 위상고정루프(이하, '디지털 위상고정루프'로 약칭)의 지터 특성도 각 블록의 특성값에 기초한 수식으로 정하여질 수 있게 된다.

[0013] 즉, 각 블록의 특성값은 상기 TDC 의 경우 두 입력신호의 위상차이 대비 디지털 코드출력 특성인 TDC 의 해상도(Δ_{TDC})이고, 상기 DLF 는 z-도메인 전달 함수이며, 상기 DCO 는 디지털 코드가 변동할 때 발진 주파수가 변하는 양(K_{DCO})의 특성값을 가진다.

[0014] 그런데, 상기 TDC 의 해상도(Δ_{TDC})는 공지된 구조의 TDC 를 사용하여 PVT 변화에 둔감하게 항상 일정하게 설계될 수 있으며, 상기 DLF 는 디지털 덧셈기와 곱셈기로 이루어진 회로이기 때문에 PVT 변화에 무관하다.

[0015] 그러나, DCO 의 K_{DCO} 특성은 DCO 가 어떠한 구조로 되어 있더라도 K_{DCO} 특성이 PVT 변화에 민감할 수 밖에 없으며, 이러한 K_{DCO}특성에 영향을 주는 요소도 일반적으로 여러 가지가 복합적으로 작용하기 때문에 K_{DCO} 의 특성을 예측하는 것도 용이하지 않다.

발명의 내용

해결하려는 과제

[0016] 본 발명은, PVT 변화에 따른 K_{DCO} 의 특성 변화를 예측할 수 있도록 이루어진 구조의 DCO를 사용하는 디지털 위

상고정루프의 구성을 제공하는데 본 발명의 기술적 과제가 있다.

[0017] 또한, PVT 변화에 따라서 DCO 의 특성이 변하면, 이를 예측하여 디지털 루프필터의 계수값을 조절하여 DCO 특성 변화에 따른 전체 루프-다이나믹스의 변화를 상쇄시킴으로써, 항상 일정한 지터 특성을 갖는 디지털 위상고정루프를 구현하는 데 본 발명의 기술적 과제가 있다.

과제의 해결 수단

[0018] 본 발명의 일실시예에 따른 디지털 위상고정루프는 디지털컨버터(TDC)와, 디지털루프필터(DLF)와, 디지털제어발진기(DCO)를 가진 디지털 위상고정루프에 있어서, 상기 디지털제어발진기의 주파수이득을 산출하는 DCO 이득예측기와, 상기 디지털루프필터의 루프필터계수를 조절하는 DLF 보상기를 포함하여 PVT 변화에 따라 동작조건이 변하는 경우에도 일정한 지터(Jitter) 특성을 갖되, 상기 디지털제어발진기는 PVT 변화에 따른 주파수이득에 영향을 주는 변수를 1 개만 가지도록 설계되는 것을 특징으로 한다.

[0019] 상기 DCO 이득예측기의 주파수이득의 산출은, 상기 디지털컨버터의 해상도와 분주 계수에 기초하여 루프필터계수를 초기화시키고, 위상고정루프가 고정될 때까지 기다린 후 발진주파수가 고정되고 디지털코드값이 상기 발진주파수에 해당하는 디지털 코드값으로 고정이 되면, 상기 고정된 디지털코드값을 토대로 주파수이득을 산출하는 것을 특징으로 한다.

[0020] 상기 DLF 보상기는, 상기 DCO 이득예측기에 의하여 상기 디지털제어발진기의 주파수이득이 산출되면, 예상하였던 주파수 이득과의 차이를 계산하여 루프필터계수를 조절하여 디지털제어발진기의 특성 변화에 의한 루프-다이나믹스 변화를 보상하여 상기 디지털루프필터의 루프필터계수를 조절하는 것을 특징으로 한다.

[0021] 상기 DCO 이득예측기와 DLF 보상기가 상기 주파수이득의 산출과 루프필터계수의 조절에 의한 루프-다이나믹스 변화의 보상을 일정한 주기로 반복 수행하여, PVT 변화가 달라지더라도 항상 일정한 루프-다이나믹스를 가지도록 하는 것을 특징으로 한다.

[0022] 상기 디지털제어발진기의 일예는 다수개의 지연셀 모듈들을 직렬로 연결시킨 구조로서, 각각의 지연셀 모듈은 동일한 입력노드를 가지되 다른 지연시간을 가지는 지연셀들을 상호 병렬 연결하여 합산한 후 다음단의 지연셀 모듈로 전달하도록 구현될 수 있다.

[0023] 상기 DCO 이득예측기의 일예는 상기 디지털제어발진기의 주파수이득을 산출하기 위하여, 상기 디지털제어발진기의 상호 병렬 연결된 지연셀들의 합산시, 각각의 지연셀 모듈은 보간기 회로를 이용하여 지연셀의 병렬 연결된 양측 지연셀들의 경로상의 가중치를 상호 달리하여 합산하는 것이 가능하다.

[0024] 상기 보간기 회로의 일예는, 양쪽의 전류의 크기에 따라 두 개의 차동 입력 전류원에 대하여 전압 이득이 조절되는 회로일 수 있다.

[0025] 본 발명의 일실시예에 따른 동작 환경에 둔감한 지터 특성을 가지는 디지털 위상고정루프의 구동 방법은 PVT 변화에 둔감하거나 PVT 변화를 예측하여 특성 변화를 보상할 수 있는 디지털컨버터와, 디지털루프필터와, 디지털제어발진기를 포함하는 디지털 위상고정루프가 동작 환경에 둔감한 지터 특성을 가지도록 하는 방법에 있어서, 상기 디지털제어발진기는 PVT 변화에 따른 주파수이득에 영향을 주는 변수를 1 개만 가지도록 설계하는 단계; 상기 디지털제어발진기의 주파수이득을 산출하는 단계; 상기 디지털루프필터의 루프필터계수를 조절하는 단계; 를 포함하여 구성되는 것을 특징으로 한다.

[0026] 상기 디지털제어발진기의 주파수이득을 산출하는 단계는, 상기 디지털컨버터의 해상도와 분주 계수에 기초하여 루프필터계수를 초기화시키고, 위상고정루프가 고정될 때까지 기다린 후 발진주파수가 고정되고 디지털코드값이 상기 발진주파수에 해당하는 디지털 코드값으로 고정이 되면, 상기 고정된 디지털코드값을 토대로 주파수이득을 산출하는 것을 특징으로 한다.

[0027] 상기 디지털루프필터의 루프필터계수를 조절하는 단계는, 상기 디지털제어발진기의 주파수이득이 산출되면, 예상하였던 주파수 이득과의 차이를 계산하여 루프필터계수를 조절하여 디지털제어발진기의 특성 변화에 의한 루프-다이나믹스 변화를 보상하여 상기 디지털루프필터의 루프필터계수를 조절하는 것을 특징으로 한다.

[0028] 상기 주파수이득의 산출과 루프필터계수의 조절에 의한 루프-다이나믹스 변화의 보상을 일정한 주기로 반복 수행하여, PVT 변화가 달라지더라도 항상 일정한 루프-다이나믹스를 가지도록 하는 것을 특징으로 한다.

발명의 효과

[0029] 상기와 같은 구성을 가지는 본 발명 디지털 위상고정루프 및 그 방법은 PVT 변화에 둔감한 TDC, DLF 와, PVT 변화에 의한 영향을 예측할 수 있는 DCO 및 DCO 특성에 따라서 DLF 의 계수를 조절하는 보상기로 이루어지므로, PVT 변화에 둔감한 지터 특성을 가지는 디지털 위상고정루프를 제공하는 효과가 있다.

도면의 간단한 설명

[0030] 도 1 은 일반적인 디지털 위상고정루프의 블럭다이어그램,

도 2 는 본 발명 디지털 위상고정루프의 블럭다이어그램,

도 3 은 본 발명 실시예의 디지털제어발진기의 회로도,

도 4 는 본 발명 실시예의 보간기의 회로도,

도 5 는 본 발명 실시예의 I_T 의 기준 전류원의 전류가 입력되는 다수개의 PMOS 가 병렬로 연결된 디지털-아날로그 전류 변환 회로의 회로도,

도 6 은 한단의 지연셀 모듈을 나타낸 도면,

도 7 은 소신호 분석이 용이한 1차 IIR 필터를 이용한 본 발명 실시예의 디지털위상고정루프의 블럭다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부 도면에 의거하여 본 발명 동작 환경에 둔감한 지터 특성을 가지는 디지털 위상고정루프 및 그 방법의 구성을 상세하게 설명한다.

[0032] 단, 개시된 도면들은 당업자에게 본 발명의 사상이 충분하게 전달될 수 있도록 하기 위한 예로서 제공되는 것이다. 따라서, 본 발명은 이하 제시되는 도면들에 한정되지 않고 다른 태양으로 구체화될 수도 있다.

[0033] 또한, 본 발명 명세서에서 사용되는 용어에 있어서 다른 정의가 없다면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 상세한 설명은 생략한다.

[0034] 도 2 는 본 발명 디지털 위상고정루프의 블럭다이어그램이다.

[0035] 본 발명 디지털 위상고정루프는 도 1 을 참조하여 설명된 기본적인 디지털 위상고정루프의 구성요소인 디지털컨버터(TDC)(10)와, 디지털루프필터(DLF)(20)와, 디지털제어발진기(DCO)(30)을 포함한다.

[0036] 전술한 바와 같이, 상기 디지털컨버터(10)(TDC, Time-to-Digital Converter)는 아날로그 방식의 위상고정루프의 검출기와 동일한 기능을 수행하는 것으로서, 입력으로 들어오는 기준입력클럭(FRef)와 제 1 분주기(40)로부터 입력되는 소정의 분주값(N)으로 분주된 출력클럭(FOut/N)의 위상 및 주파수를 비교하고, 이 두 클럭의 위상차 및 주파수 차에 비례하는 디지털 신호를 출력한다.

[0037] 상기 디지털루프필터(20)(DLF, Digital Loop Filter)는 저대역 통과 필터 역할을 디지털 로직을 이용해 구현한 것으로서, 상기 디지털컨버터(10)에서 발생된 디지털 신호가 허용 오차값보다 큰 경우에 현재 출력클럭(FOut)의 위상 및 주파수를 제어하는 제어값을 오차값에 따라서 조절하고, 이 조절된 제어값을 디지털제어발진기(30)로 출력한다.

[0038] 상기 디지털제어발진기(30)(DCO, Digital Controlled Oscillator)는 상기 디지털루프필터로부터 출력되는 조절된 제어값에 따라서 주파수발진기로부터 출력되는 클럭의 위상 및 주파수를 제어하여 출력클럭(FOut)을 발생한다.

[0039] 그리고, 본 발명 디지털 위상고정루프는 상기 디지털제어발진기(30)에서 출력된 클럭(FOut)을 소정의 분주값(N)으로 분주하여 상기 디지털컨버터(10)에 피드백(feedback, 궤환)시켜 주는 제 1 분주기(40)를 포함한다.

[0040] 상기 제 1 분주기(40)는 상기 디지털컨버터(10)가 반복적으로 기준입력클럭(FRef)과 출력클럭(FOut)의 위상 및 주파수가 비교되도록 해 준다.

[0041] 또한, 상기 기준입력클럭(FRef)를 소정의 분주값(M)으로 분주하여 상기 디지털컨버터(10)로 입력하는 제 2 분주

기(50)를 포함한다.

[0042] 상기 제 1 분주기(40)의 분주값 N 과 상기 제 2 분주기(50)의 분주값 M 은 1 이상의 실수로서, 정수이거나, 필요에 따라서 실수로된 분주값을 이용할 수 있다. 실수로된 분주값을 이용하면 세밀한 주파수의 조절이 가능하다.

[0043] 상기 제 1 분주기(40) 혹은 상기 제 2 분주기(50)는 위상고정루프를 주파수 합성기(Frequency Synthesizer)의 용도로 사용할 때에만 필요한 구성요소로서, 필요에 따라 상기 제 1 분주기(40)나 제 2 분주기(50)중 어느 하나만 포함하거나, 상기 제 1 분주기(40) 및 제 2 분주기(50)의 모두가 생략되는 것이 가능하다.

[0044] 또한, 본 발명 디지털 위상고정루프는 DCO 이득예측기(60)(DCO gain estimator)와 DLF 보상기(70)(DLF Compensator)를 더 포함하며, 이들의 구성에 대해서는 후술한다.

[0045] 본 발명의 디지털 위상고정루프의 상기 디지털컨버터(10)는 전술한 바와 같이 디지털컨버터(10) 자체가 PVT 변화에 둔감하거나 혹은 PVT 변화를 예측하여 특성 변화를 보상할 수 있는 공지된 구조의 디지털컨버터(10)를 채용한다.

[0046] 또한, 상기 디지털루프필터(20)도 디지털 덧셈기와 곱셈기로 이루어져 있기 때문에, 신호에 곱해지는 디지털 계수를 변경하는 것만으로도 디지털루프필터(20)의 특성을 용이하게 변경할 수 있다.

[0047] 따라서, 상기 디지털컨버터(10) 및 디지털루프필터(20)는 공지된 구조를 이용하여 PVT 변화에 둔감하게 설계될 수 있으므로 본 발명의 설명에서 그 상세한 설명을 생략한다.

[0048] 그러나, 전술한 바와 같이 상기 디지털제어발진기(30)는 주파수 이득인 K_{DCO} 특성이 PVT 변화에 민감하고, 이러한 K_{DCO}특성에 영향을 주는 요소도 일반적으로 여러 가지가 복합적으로 작용하기 때문에 K_{DCO} 의 특성을 예측하는 것도 용이하지 않다.

[0049] 예컨대, 상기 디지털제어발진기(30)를 통상의 구조인 디지털-아날로그 변환기와 링(ring)형 전압제어발진기를 조합하여 구현하는 경우, 링을 이루는 지연 셀(delay cell)의 출력 저항, 병렬로 연결되는 기생 캐패시턴스 및 전류를 제어하는 트랜지스터의 트랜스-컨덕턴스(trans-conductance) 등이 PVT 변화에 따라 각각 변경되므로, 변수의 갯수가 다수개 발생하여 상기 주파수 이득인 K_{DCO} 특성값이 설계시 의도하였던 값에서 어떻게 변경될지를 용이하게 예측할 수 없게 된다.

[0050] 따라서, 본 발명은 PVT 변화에 따라서 주파수 이득 K_{DCO} 에 영향을 주는 변수를 1 개만 가지도록 상기 디지털제어발진기(30)를 설계하며, 도 3 은 이러한 형태의 디지털제어발진기(30)의 실시예이다.

[0051] 도 3 에 도시된 본 발명 실시예의 디지털제어발진기(30)를 이용하면 주파수 이득 K_{DCO} 는 변수가 1 개인 함수로 정의될 수 있다.

[0052] 즉, 본 발명 실시예의 디지털제어발진기(30)는 다수개의 지연셀(delay cell) 모듈(31)들을 직렬로 연결시킨 구조로 이루어져 있으며, 각각의 지연셀 모듈은 동일한 입력노드(node)를 가지되 다른 지연시간을 가지는 지연셀(delay cell)들을 상호 병렬 연결하여 합산하여 다음단의 지연셀 모듈로 전달하는 구성으로 이루어져 있다.

[0053] 이때, 상호 병렬 연결된 지연셀들의 합산시, 각각의 지연셀 모듈(31)은 보간기(interpolator) 회로를 이용하여 지연셀의 병렬 연결된 양측 지연셀들의 경로상의 가중치(α , $1-\alpha$)를 상호 달리하여 합산한다.

[0054] 상기 보간기 회로로서 도 4 에 도시된 바와 같은 보간기 회로가 이용될 수 있다. 도시된 보간기 회로는 양쪽의 전류의 크기에 따라 두 개의 차동 입력 전류원(a,b)에 대하여 전압 이득이 조절되는 회로이다. 여기서, I_T 는 기준 전류원의 전류값이다.

[0055] 여기서, 본 발명 실시예는, 상기 보간기 회로로 입력되는 두 개의 차동 입력 전류원(a,b)의 전류의 크기를 조절하기 위하여 도 5 에 도시된 바와 같이 I_T 의 기준 전류원의 전류가 입력되는 다수개의 PMOS 가 병렬로 연결된 디지털-아날로그 전류 변환 회로를 이용할 수 있다.

[0056] 여기서, W_S는 항상 턴-온(turn-on) 상태에 있는 PMOS 의 폭(width)이고, C_0 내지 C_{N-1} 은 입력 신호코드값(code), W_0은 상기 입력 신호코드값에 따라서 턴-온(turn-on)/턴-오프(turn-off) 상태가 바뀌는 PMOS 들의 width 이고, Icont+ 및 Icont- 는 전류원의 양의 출력 전류 및 음의 출력 전류이다.

[0057] 이러한 디지털-아날로그 전류변환회로에 의하여 출력되는 두 전류원(a,b)의 크기는 아래 식에 의하여 산출될 수 있다.

[0058] [수학식 1]

$$I_{cont+} = \frac{1}{2} \cdot I_T + \frac{W_0 \cdot I_T}{2W_S} \cdot code = \alpha \cdot I_T$$

$$I_{cont-} = \frac{1}{2} \cdot I_T - \frac{W_0 \cdot I_T}{2W_S} \cdot code = (1-\alpha) \cdot I_T$$

[0059]

[0060] 따라서, 수학식 1을 이용하여 도 3 에 도시된 한단의 지연셀모듈(31)의 지연시간을 산출할 수 있다. 도 6 은 한단의 지연셀 모듈(31)을 도시한 것으로서, 병렬로 연결된 두 그룹의 지연셀모듈(31)들중, 지연시간이 더 작은 일방의 그룹의 지연셀모듈 그룹의 지연시간을 단위 지연시간 Du 라고 하면, 지연시간이 더 큰 타방의 그룹의 지연셀모듈 그룹의 지연시간은 그것보다 K 배가 더 긴 지연시간을 가지며 이 지연시간은 산술적으로 K*Du 가 된다.

[0061] 이때, 두 그룹의 지연셀 모듈들은 모두 동일한 회로 구조로 이루어져 있으며, PVT 변화가 두 그룹의 지연셀 모듈들에 동일하게 적용된다고 가정하면, 지연 시간의 비례상수인 상기 K 값은 PVT 변화에 영향을 받지 않게 된다.

[0062] 그러므로, 한 단의 지연시간의 최대값은 K*Du 이고, 최소값은 Du 를 가지므로, 보간기의 가중치(α , 1-α)에 비례하여 이 최대값과 최소값의 사이에 있는 값을 가지게 된다.

[0063] 그러므로, 총 지연시간(Delay)는 수학식 2에 의하여 산출될 수 있다.

[0064] [수학식 2]

$$\begin{aligned} \text{Delay} &= (D_U \cdot \alpha + K \cdot D_U \cdot (1-\alpha)) \\ &= \frac{(D_U \cdot \alpha I_T + K \cdot D_U \cdot (1-\alpha) I_T)}{I_T} \\ &= \frac{(D_U \cdot I_{cont+} + K \cdot D_U \cdot I_{cont-})}{I_{cont+} + I_{cont-}} \\ &= \frac{1}{2} D_U \times \left((1+K) + (1-K) \frac{W_0}{W_S} \cdot \text{code} \right) \end{aligned}$$

[0065]

[0066] 또한, 발진기를 이루는 지연셀모듈들이 총 N 개 있다고 한다면, 본 발명 디지털제어발진기(30)의 발진 주파수(freq)는 수학식 3에 의하여 산출된다.

[0067] [수학식 3]

$$\text{freq} = \frac{1}{N} \times \frac{2}{D_U} \times \frac{1}{(1+K) + (1-K) \frac{W_0}{W_S} \cdot \text{code}}$$

[0068]

[0069] 수학식 3에서 지연셀모듈의 총 갯수 N, 지연시간의 비례상수 K, W_0, Ws 는 모두 본 발명 디지털제어발진기(30)를 설계할 때 정하여지는 값이며, 이들 값들은 PVT 변화에 영향을 받지않는 값이다.

[0070] 따라서, 수학식 3 에서 PVT 변화에 영향을 받는 변수는 단위 지연시간 Du 이다. 따라서, 본 발명에 따른 디지털제어발진기(30)의 발진주파수(freq)와 주파수이득 K_{DCO}은 디지털 코드값(code)과, 지연셀의 단위 지연 시간인 Du

값에 의해서 산출될 수 있는 것이다.

[0071] 이러한 결과는 본 발명 디지털제어발진기(30)의 주파수 이득 K_{DCO} 에 영향을 주는 변수가 1 개만 가지는 조건을 만족시키고 있다.

[0072] 이때, 수학식 3에서 단위 지연시간 Du 를 예측하는 방법은 다음과 같다. 즉, 처음에는 PVT 변화에 의하여 특성이 변한 디지털제어발진기(30)의 주파수 이득K_{DCO} 를 알 수 없기 때문에, 이 주파수 이득을 시뮬레이션을 통해 대략적으로 가정한다.

[0073] 그리고, 상기 디지털컨버터(10)의 해상도와 분주계수에 기초하여 적절한 값으로 루프필터계수를 초기화시키고, 원하는 주파수로 위상고정루프가 고정될 때까지 충분한 시간을 기다린다.

[0074] 이후, 위상이 고정된 다음에는 위 식에서 Du 를 제외한 모든 변수가 정해진다. 즉, 발진주파수는 고정되고, 디지털코드값(code)은 발진주파수에 해당하는 디지털코드값으로 고정이 되게 된다.

[0075] 그러면, DSP(Digital Signal Processor, 디지털신호처리)의 논리를 이용하여 상기 단위지연시간 Du 값을 산출하면, 수학식 3에서 미지수 값인 Du 가 산출되고, 디지털코드값(code) 변수로 미분하면 본 발명 디지털제어발진기(30)의 주파수 이득 K_{DCO} 를 산출할 수 있게 된다.

[0076] 이후, 위상이 고정된 다음에는 위 식에서 Du 를 제외한 모든 변수가 정해진다. 즉, 발진주파수는 고정되고, 디지털코드값(code)은 발진주파수에 해당하는 디지털 코드값으로 고정이 되게 된다.

[0077] 이때, 상기 디지털코드값(code)의 미분값을 정확히 계산하기 위해서는 과다한 연산이 필요하므로, 테일러 급수(Taylor series)를 사용하여 식을 전개한 후, 4차 이상의 항은 버리고 간략화하면 수학식 4와 같이 정리된다.

[0078] [수학식 4]

$$\mathrm{freq} = \frac{1}{D_U}\cdot\frac{2}{N\cdot(1+K)}\times\frac{1}{1+\frac{1-K}{1+K}\cdot\frac{W_0}{W_S}\cdot\mathrm{code}},\quad C=\frac{1-K}{1+K}\cdot\frac{W_0}{W_S}$$

$$\approx \frac{1}{D_U}\cdot\frac{2}{N\cdot(1+K)}\times\{1-C\cdot code+C^2\cdot code^2-C^3\cdot code^3\}$$

$$K_{DCO}=\frac{\Delta freq}{\Delta code}\approx\frac{1}{D_U}\cdot\frac{2}{N\cdot(1+K)}\times\{-C+2C^2\cdot code-3C^3\cdot code^2\}$$

[0079]

[0080] 수학식 4에서 지연셀모듈의 총 갯수 N, 지연시간의 비례상수 K 및 W_0, Ws 에 의하여 정하여지는 C 의 값은 본 발명 디지털제어발진기(30)의 설계시 정하여진다.

[0081] 이후, 수학식 4에 의하여 디지털제어발진기(30)의 주파수이득 K_{DCO} 이 산출되면, 예상하였던 주파수 이득과의 차이를 계산하여 루프필터계수를 조절하여 디지털제어발진기(30)의 특성 변화에 의한 루프-다이나믹스(loop-dynamics) 변화를 보상한다.

[0082] 이와 같은 주파수이득의 산출은 본 발명의 DCO 이득예측기(60)에서 수행되고, 디지털루프필터의 루프필터계수의 조절은 본 발명의 DLF 보상기(70)에서 수행되며, 상기 DCO 이득예측기(60)와 DLF 보상기(70)가 상기 주파수이득의 산출과 루프필터계수의 조절에 의한 루프-다이나믹스(loop-dynamics) 변화의 보상을 일정한 주기로 반복 수행하게 되면, 시간에 따라 PVT 변화가 달라지더라도 항상 일정한 루프-다이나믹스를 가질 수 있게 된다. 일반적으로 시간에 따른 PVT 변화는 크지 않으므로 상기 DLF 보상기(70) 자체의 동작 속도는 빠르지 않아도 무방하다.

[0083] 한편, 본 발명의 디지털 위상고정루프가 동작 환경에 둔감한 지터 특성을 가지도록 하는 방법을 설명한다.

[0084] 본 발명 디지털 위상고정루프가 동작환경에 둔감한 지터 특성을 가지도록 하는 방법은, 상술한 바와 같이 공정, 전원전압, 온도 변화(Process, Voltage, Temperature)에 따라서 회로의 동작 조건이 달라지더라도 항상 일정한

지터(Jitter) 특성을 가지도록 하는 방법이다.

[0085] 그리고, 본 발명 방법은, 상술한 바와 같은 디지털컨버터와, 디지털루프필터와, 디지털제어발진기를 포함하는 디지털 위상고정루프에서 구현되는 방법임을 전제로 하되, 상기 디지털컨버터는 PVT 변화에 둔감하거나 PVT 변화를 예측하여 특성 변화를 보상할 수 있는 공지의 디지털컨버터를 채용한 방법이다.

[0086] 즉, 본 발명 방법은 상기 디지털제어발진기를 PVT 변화에 따른 주파수이득에 영향을 주는 변수를 1 개만 가지도록 설계하는 단계와, 상기 디지털제어발진기의 주파수이득을 산출하는 단계와, 상기 디지털루프필터의 루프필터계수를 조절하는 단계를 포함하여 구성된다.

[0087] 이때, 상기 디지털제어발진기의 주파수이득을 산출하는 단계는, 상술한 바와 같이, 상기 디지털컨버터의 해상도와 분주 계수에 기초하여 루프필터계수를 초기화시키고, 위상고정루프가 고정될 때까지 기다린 후 발진주파수가 고정되고 디지털코드값이 상기 발진주파수에 해당하는 디지털 코드값으로 고정이 되면, 상기 고정된 디지털코드값을 토대로 주파수이득을 산출하는 것을 특징으로 한다.

[0088] 또한, 상기 디지털루프필터의 루프필터계수를 조절하는 단계는, 상술한 바와 같이, 상기 디지털제어발진기의 주파수이득이 산출되면, 예상하였던 주파수 이득과의 차이를 계산하여 루프필터계수를 조절하여 디지털제어발진기의 특성 변화에 의한 루프-다이나믹스 변화를 보상하여 상기 디지털루프필터의 루프필터계수를 조절하는 것을 특징으로 한다.

[0089] 그리고, 상기 주파수이득의 산출과 루프필터계수의 조절에 의한 루프-다이나믹스(loop-dynamics) 변화의 보상이 일정한 주기로 반복 수행됨으로써, PVT 변화가 달라지더라도 항상 일정한 루프-다이나믹스가 얻어지는 것이 가능하다.

[0090] 도 7 은 디지털루프필터(20)로서 간단하고 소신호 분석이 용이한 1차 IIR 필터를 이용한 본 발명 실시예의 디지털위상고정루프를 도시한 것이다. 이 실시예에서는 신호 분석을 간단히 수행하기 위하여 기준 클럭(FRef)의 분주기는 생략하였다.

[0091] 상기 실시예에서 디지털루프필터(20)로서 간단하고 소신호 분석이 용이한 1차 IIR 필터를 사용하고, 입력 기준 클럭의 주기는 T_{REF}, 분주 계수는 N, 디지털컨버터(10)의 해상도는 Δ_{TDC}로 주어진다고 가정한다.

[0092] 또한, 디지털제어발진기(30)의 주파수이득 K_{DCO} 값은 전술한 알고리즘을 가진 DCO 이득예측기(60)에 의하여 산출된 값을 사용한다.

[0093] 이때, 상기 디지털루프필터(20)의 필터 계수인 α와 β값은 상기 DLF 보상기(70)에 의하여 수학식 5에 의하여 산출된다.

[0094] [수학식 5]

$$\omega_Z = \frac{\omega_{UGBW}}{\tan(PM)}$$

$$R = \frac{2\pi N \Delta_{TDC}}{T_{REF} K_{DCO}} \frac{\omega_Z^2}{\sqrt{\omega_Z^2 + \omega_{UGBW}^2}} \qquad \alpha = R - \frac{T_{REF}}{2C}$$

$$C = \frac{\tan(PM)}{R\omega_{UGBW}} \qquad \beta = \frac{T_{REF}}{C}$$

[0095]

[0096] 수학식 5에서 주어진 계수들인 T_{REF}, 분주 계수 N, 디지털컨버터(10)의 해상도 Δ_{TDC} , 주파수이득 K_{DCO} , 위상 마진 PM, 유닛게인 밴드위스(unit gain bandwidth)ωUGBW 를 토대로 상기 디지털루프필터(20)의 필터 계수인 α와 β값이 산출된다.

[0097] 따라서, 본 발명 상기 DCO 이득예측기(60)와 DLF 보상기(70)에 의하여 산출되는 주파수이득 K_{DCO}에 의하여 종래

PVT 변화에 민감할 수 밖에 없는 K_{DCO}특성을 미리 예측할 수 있으며, 나아가 디지털루프필터의 필터 계수인 α와 β값을 설정할 수 있게 되어, PVT 조건이 바뀌어 주파수이득 K_{DCO}이 변경되더라도 상기 DCO 이득예측기(60)와 DLF 보상기(70)에 의하여 주파수이득 K_{DCO}을 예측하고, 예측된 주파수이득 K_{DCO}에 기반하여 새로운 필터 계수를 산출하여 디지털루프필터(20)를 갱신하기 때문에, 본 발명의 디지털 위상고정루프는 항상 일정한 지터 특성을 유지할 수 있게 된다.

[0098] 이때, 본 발명 디지털 위상고정루프의 필터 계수의 갱신 주기는 위상 고정 루프의 동작 속도와 무관하게 천천히 갱신되어도 상관없으며, 도 7 의 실시예에서는 디지털루프필터(20)로 비교적 간단한 형태인 1 차 IIR 필터를 사용하였으나, 보다 정교한 제어를 위해서 더 복잡한 필터를 사용하게 되더라도 전술한 본 발명의 상기 DCO 이득예측기(60)와 DLF 보상기(70)의 알고리즘들을 동일한 방법으로 적용하여 항상 일정한 지터 특성을 유지할 수 있게 된다.

[0099] 이상의 설명에서 본 발명의 동작 환경에 둔감한 지터 특성을 가지는 디지털 위상고정루프의 구성을 첨부된 도면을 참조하여 상세하게 설명하였으나, 본 발명은 당업자에 의하여 다양한 수정, 변경 및 치환이 가능하고, 이러한 수정, 변경 및 치환은 본 발명의 보호범위에 속하는 것으로 해석되어야 한다.

부호의 설명

[0100] 10; 디지털컨버터(TDC)

20; 디지털루프필터(DLF)

30; 디지털제어발진기(DCO)

40; 제 1 분주기

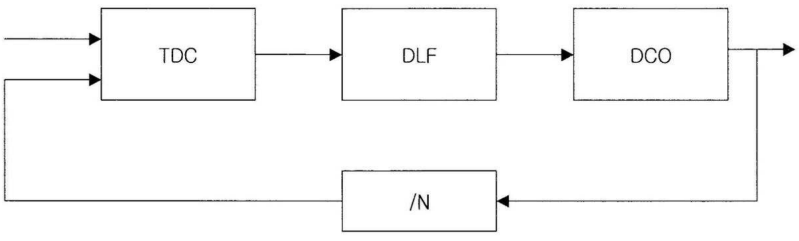
50; 제 2 분주기

60; DCO 이득예측기

70; DLF 보상기

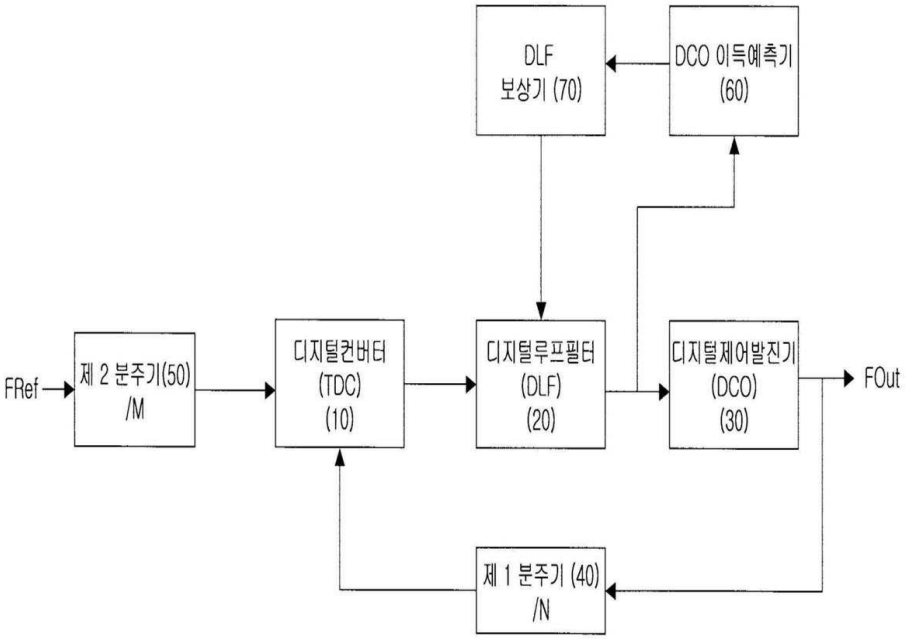
도면

도면1

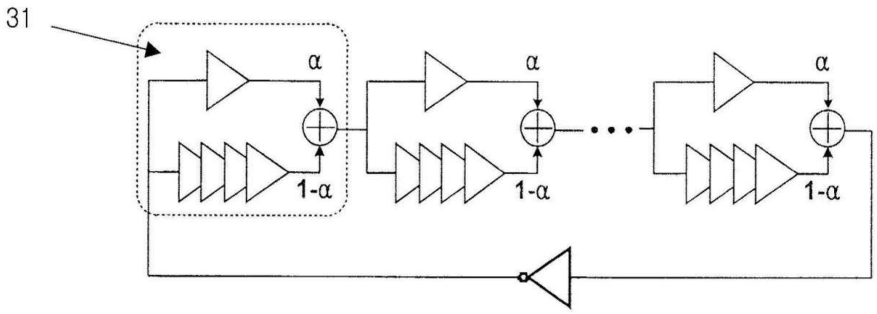


TDC: Time-to-Digital Converter
DLF: Digital Loop Filter
DCO: Digitally Controlled Oscillator

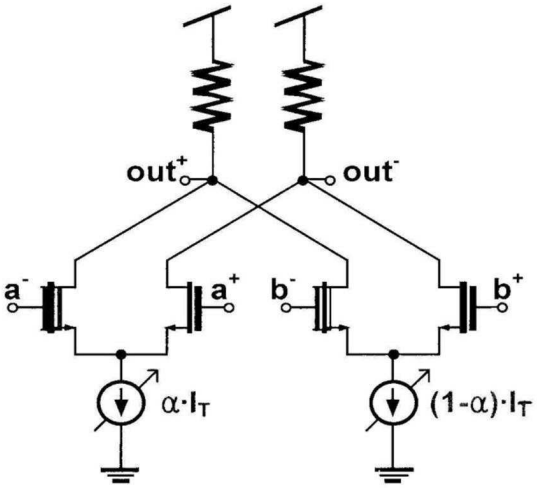
도면2


DLF
보상기 (70)
DCO 이득예측기
(60)
FRef
제 2 분주기(50)
/M
디지털컨버터
(TDC)
(10)
디지털루프필터
(DLF)
(20)
디지털제어발진기
(DCO)
(30)
FOut
제 1 분주기 (40)
/N

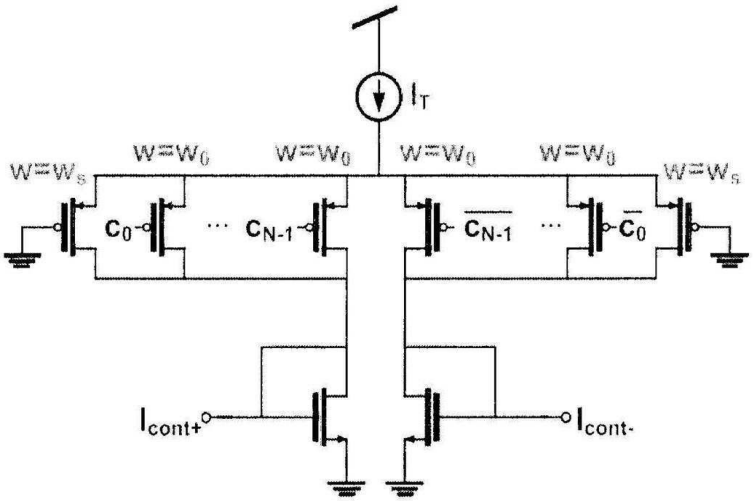
도면3


31
α
1-α
α
1-α
α
1-α

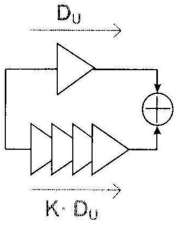
도면4


out+
out-
a-
a+
b-
b+
α·IT
(1-α)·IT

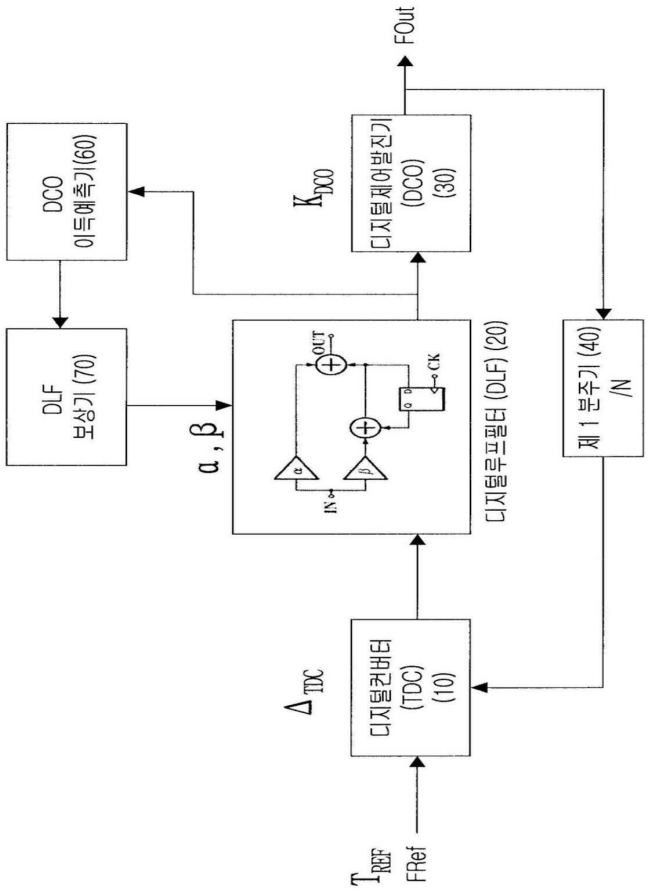
도면5


IT
W=W0
W=W0
W=W0
W=W0
W=Ws
W=Ws
C0
CN-1
CN-1
C0
Icont+
Icont-

도면6


DU
K· DU

도면7


FOut
DCO
이득예측기(60)
K_{DCO}
디지털제어발진기
(DCO)
(30)
DLF
보상기 (70)
α , β
OUT
CK
IN
α
β
D
Q
디지털루프필터 (DLF) (20)
제 1 분주기 (40)
/N
Δ_{TDC}
디지털컨버터
(TDC)
(10)
T_{REF}
FRef